

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SOON-YONG KWEON, ET AL.

Application No.:

Filed:

For: **METHOD FOR FABRICATING
FERROELECTRIC RANDOM
ACCESS MEMORY DEVICE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

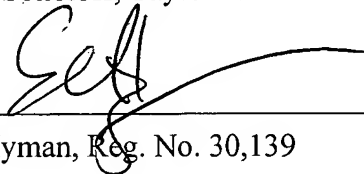
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2002-86177	30 December 2002
Republic of Korea	2003-07224	5 February 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: December 17, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086177
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

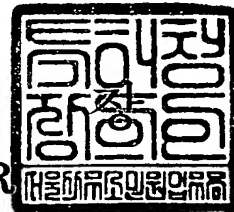
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0082
【제출일자】	2002.12.30
【발명의 명칭】	강유전체 메모리소자의 제조방법
【발명의 영문명칭】	Method for fabricating FeRAM
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	권순용
【성명의 영문표기】	KWEON, Soon Yong
【주민등록번호】	680812-1460616
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 465 현대6차 아파트 602-601
【국적】	KR
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM, Seung Jin
【주민등록번호】	630909-1018621
【우편번호】	449-843
【주소】	경기도 용인시 동천동 859 동천마을 현대1차 홈타운 105-704
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	16	면	16,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	45,000	원		
------	--------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

본 발명은 소정 영역에 TiN/W로 이루어진 스토리지노드 콘택 플러그가 형성된 기판 전면
에 접착층을 충분히 얇게 증착하는 단계와; 열처리공정을 실시하여 상기 TiN/W 플러그 상부의
접착층 부위에만 크랙을 유발시키는 단계; 세정공정을 실시하여 상기 크랙이 형성된 접착층 부
위만을 선택적으로 제거하는 단계; 기판 전면에 산화방지막을 형성하는 단계; 상기 산화방지막
및 접착층을 소정패턴으로 패터닝하는 단계; 기판 전면에 제1층간절연막을 형성하고 에치백
또는 CMP공정을 실시하여 상기 산화방지막의 표면을 노출시키는 단계; 상기 표면이 노출된 산
화방지막을 포함한 기판 전면에 커패시터 하부전극 형성용 물질과 강유전체를 차례로 증착하는
단계; 상기 하부전극 형성용 물질층과 강유전체막을 소정의 하부전극패턴으로 패터닝하는 단
계; 기판 전면에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막을 에치백 또는 CMP하여
상기 강유전체막의 표면을 노출시키는 단계; 및 기판 전면에 커패시터 상부전극 형성용 물질을
증착하고 소정의 상부전극패턴으로 패터닝하는 단계를 포함하여 이루어지는 FeRAM 제조방법을
제공한다.

【대표도】

도 3n

【색인어】FeRAM, 강유전체, BLT, Al₂O₃, 커패시터, MTP



【명세서】

【발명의 명칭】

강유전체 메모리소자의 제조방법{Method for fabricating FeRAM}

【도면의 간단한 설명】

도1a 내지 도1g는 종래기술에 의한 FeRAM 제조방법을 공정순서에 따라 도시한 단면도,
 도2는 기존의 MTP구조로 제작한 FeRAM 커패시터에서 단위 커패시터 면적이 감소함에 따라 분극값이 감소하는 현상을 보여주는 도면,

도3a 내지 도3n은 본 발명에 의한 FeRAM 제조방법을 공정순서에 따라 도시한 단면도,
 도4는 본 발명의 커패시터를 완성한 후의 구조를 나타낸 평면도.

* 도면의 주요부분에 대한 부호의 설명

11,26 : 텅스텐	12,24,25,27 : TiN
13,28 : Al ₂ O ₃ 접착층	14,29 : Ir
15,31,35 : IrO _x	16,32,36 : Pt
17,21,22,30,34 : 층간절연막	18,33 : 강유전체
19 : Pt	23 : Ti

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 FeRAM의 제조방법에 관한 것으로, 특히 고밀도 FeRAM 제작시 커패시터 제조공정 및 커패시터 하부전극과 트랜지스터를 연결하는 플러그 형성공정에 관한 것이다.
- <12> 현재 고밀도 FeRAM 제조시에는 MTP(Merged Top-electrode Plate-line) 구조를 사용하고 있다. 이를 제작하기 위해서는 하부전극을 먼저 분리형으로 1비트씩 분리 식각한다. 그 다음 그위에 층간절연막을 증착하고 CMP하여 하부전극의 Pt 표면을 노출시킨 다음 BLT 박막을 증착한다. 이어서 BLT 강유전체 박막의 후속 결정화를 위한 핵 생성을 목적으로 RTP를 수행한다. 그런데 이 RTP 열처리는 하부에 금속막(하부전극)이 있는 경우와 없는 경우에 서로 다르게 이루어진다. 따라서 후속공정까지 진행하여 커패시터를 제작하여 분극값을 측정해 보면 커패시터의 크기에 따라 분극값이 변하는 현상이 발생한다.
- <13> 도1a 내지 도1g에 종래기술에 의한 FeRAM 제조과정을 공정순서에 따라 도시하였다.
- <14> 먼저, 도1a에 나타낸 바와 같이 일반적인 플러그 제조공정에 의해 스토리지노드 콘택을 형성하고, 콘택 내벽에 TiN/Ti를 증착하고 그 위에 텅스텐(11)을 콘택이 매립되도록 충분히 두껍게 증착한 후, 에치백하여 콘택 내부에 적당한 깊이로 리세스(recess)된 텅스텐 플러그를 형성한다. 이어서 TiN(12)을 증착하고 CMP공정을 진행하여 콘택내에 매립시킨 다음, 기판 전면 Al2O3 접착층(13)을 매우 얇게 증착한다.
- <15> 이어서 도1b에 나타낸 바와 같이 상기 플러그 상부의 Al2O3 접착층(13)을 일반적인 마스크 및 식각공정을 진행하여 선택적으로 제거한다.

- <16> 다음에 도1c에 나타낸 바와 같이 기판상에 커패시터 하부전극 형성용 금속으로서 Ir(14), IrOx(15), Pt(16)를 차례로 증착한다.
- <17> 이어서 도1d에 나타낸 바와 같이 상기 적층된 금속막들을 하부전극패턴으로 패터닝한 후, 도1e에 나타낸 바와 같이 기판 전면에 층간절연막으로서 산화막(17)을 증착하고 CMP공정을 진행하여 하부전극 표면만 노출시킨다.
- <18> 다음에 도1f에 나타낸 바와 같이 기판상에 강유전체로서 BLT(18)를 증착하고 그위에 커패시터 상부전극 금속으로서 Pt(19)를 증착한다. 이 상태에서 가장 고온 공정인 강유전체 열처리를 수행한다. 그런데 이 구조에서는 소자 제작공정중에 하부전극밑에 접착층이 없는 지역 및 아주 약간만 남아 있는 지역이 형성되어 플러그 TiN층(12)이 산화되는 현상이 발생한다.
- <19> 이어서 도1g에 나타낸 바와 같이 상기 Pt막(19)을 상부전극패턴으로 패터닝한다. 이 상태에서도 가장 고온 공정인 강유전체 회복 열처리를 수행하기 때문에 플러그 TiN층(12)의 산화가 심해진다.
- <20> 도2는 상기한 바와 같이 종래의 MTP 구조로 제작한 FeRAM 커패시터에서 단위 커패시터면적이 감소함에 따라서 분극값이 감소하는 현상을 나타낸 도면이다.

【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명은 상기 문제점을 해결하기 위한 것으로써, 강유전체 BLT박막의 열처리시 그 하부에 Pt 하부전극이 존재하도록 함으로써 열안정성이 뛰어나고 전기적 특성이 우수한 고밀도 FeRAM을 제조할 수 있도록 하는 방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위한 본 발명의 FeRAM 제조방법은, 소정 영역에 TiN/W로 이루어진 스토리지노드 콘택 플러그가 형성된 기판 전면에서 접착층을 충분히 얇게 증착하는 단계와; 열처리공정을 실시하여 상기 TiN/W 플러그 상부의 접착층 부위에만 크랙을 유발시키는 단계; 세정공정을 실시하여 상기 크랙이 형성된 접착층 부위만을 선택적으로 제거하는 단계; 기판 전면에서 산화방지막을 형성하는 단계; 상기 산화방지막 및 접착층을 소정패턴으로 패터닝하는 단계; 기판 전면에서 제1층간절연막을 형성하고 에치백 또는 CMP공정을 실시하여 상기 산화방지막의 표면을 노출시키는 단계; 상기 표면이 노출된 산화방지막을 포함한 기판 전면에서 커패시터 하부전극 형성용 물질과 강유전체를 차례로 증착하는 단계; 상기 하부전극 형성용 물질층과 강유전체막을 소정의 하부전극패턴으로 패터닝하는 단계; 기판 전면에서 제2층간절연막을 형성하는 단계; 상기 제2층간절연막을 에치백 또는 CMP하여 상기 강유전체막의 표면을 노출시키는 단계; 및 기판 전면에서 커패시터 상부전극 형성용 물질을 증착하고 소정의 상부전극패턴으로 패터닝하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<23> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<24> 도3a 내지 도3n에 본 발명에 의한 FeRAM 제조방법을 공정순서에 따라 단면도로 나타내었다.

<25> 먼저, 도3a에 나타낸 바와 같이 기판상에 제1 및 제2층간절연막들(21,22)을 형성하고 일반적인 사진식각공정을 통해 층간절연막들을 선택적으로 식각하여 스토리지노드 콘택을 형성한 후, Ti(23)와 TiN(24)을 차례로 증착한다. 스토리지노드 콘택 형성공정 이전에 행하는 이온주입, 게이트 및 비트라인 형성공정 등은 기존의 DRAM 및 FeRAM 소자 제작시에 사용되는 일반적인 공정을 적용한다. 상기 제2층간절연막(22)은 HDP, BPSG, PSG, MTO, HTO, TEOS산화막 등으로 형성할 수 있으며, 이들 막을 증착한 후, 평탄화 및 치밀화를 목적으로 열처리를 수행할 수도 있다. 이때, 열처리온도는 400~800℃, 열처리시간을 1초~2시간, 열처리 분위기는 N₂, O₂, Ar, He, Ne, Kr, O₃를 이용할 수 있다. 상기 Ti와 TiN은 일반적인 PVD(IMP, 콜리메이터 등), CVD, ALD법 등을 이용하여 각각 10~500Å, 50~1000Å, 바람직하게는, 100Å 및 200Å 두께로 증착하고 급속 열처리를 통하여 n⁺/Ti 계면에 TiSi₂를 생성하여 오믹콘택을 형성한다. 이때, 급속 열처리는 600~1000℃, 바람직하게는, 830℃에서 N₂, NH₃, He, Ar, Ne 또는 Kr을 이용하여 20초간 실시한다. 열처리는 시간은 확산로를 이용하는 경우에는 10분~1시간 정도로 하고, RTP를 이용할 경우에는 1초~10분 정도로 한다.

<26> 상기한 TiN/Ti 적층구조 대신에 TaN/Ta, TiAlN/Ti, TaSiN/Ta, TiSiN/Ti, TaAlN/Ta, RuTiN/Ti, RuTaN/Ta 등의 적층구조를 이용할 수도 있다.

<27> 이어서 도3b에 나타낸 바와 같이 제2TiN막(25)을 적당한 두께, 예컨대 50~1000Å 정도 증착하고, 이위에 텅스텐(W)(26)을 콘택이 매립되도록 충분히 두껍게 증착한다. 이때, 제2TiN막(25)은 W/Si의 상호 확산을 방지하기 위한 것으로 200Å 정도의 두께로 증착하고, 텅스텐은 플러그의 크기에 따라 결정되는데 플러그 직경이 0.30μm인 경우에는 약 3000Å 증착한다.

- <28> 다음에 도3c에 나타낸 바와 같이 텅스텐(26)과 TiN/Ti를 에치백공정을 이용하여 적당한 깊이로 콘택내에 리세스시킨다. 이때, 리세스 깊이는 후속공정을 고려하여 결정하는데, 500~1500 Å 정도가 적당하다.
- <29> 이어서 도3d에 나타낸 바와 같이 기판 전면에 제3TiN(27)을 증착하여 콘택 윗부분을 매립한다. 이때, TiN의 두께는 이전 공정의 리세스 깊이에 따라 결정되는데, 만약 1000 Å 정도 리세스시킨 경우라면 공정 마진을 고려하여 약 1500 Å 이상 증착하면 충분하다. TiN 대신에 TaN, TiAlN, TiSiN, TaSiN, TaAlN, RuTiN, RuTaN, CrTiN, CrTaN 등을 이용할 수 있다.
- <30> 다음에 도3e에 나타낸 바와 같이 상기 증착된 제3TiN막(27)을 CMP공정을 진행하여 콘택 내에만 남긴다. 즉, 매립된 TiN 플러그 구조를 완성한다. 이 공정에서는 플러그 상부를 평탄하게 형성하는 것이 중요하다.
- <31> 이어서 도3f에 나타낸 바와 같이 플러그가 형성된 기판 전면에 Al₂O₃ 접착층을 ALD, CVD, PVD 등의 방법으로 충분히 얇게 증착하여 추가적인 접착층 오픈 공정 없이도 후속 열공정 등에 의해서 접착층이 파괴될 수 있도록 하는 것이 중요하다. 따라서 Al₂O₃의 두께는 5~100 Å 정도로 증착한다.
- <32> 다음에 도3g에 나타낸 바와 같이 질소분위기에서 RTP 공정등을 이용하여 TiN플러그(27) 상부의 Al₂O₃에 크랙을 유발시킨다. TiN/W 플러그의 열팽창계수가 SiO_x보다 약 10배 정도 크기 때문에 TiN/W 플러그 상부에만 크랙을 유발시킬 수 있다. 이때, RTP 온도는 400~1000℃ 정도로 하고 열처리 시간은 1초~10분 정도로 한다. 열처리 분위기는 N₂, Ar, He, Ne, Kr, Xe, NH₃ 등의 비산화 분위기에서 수행하여 RTP 공정시 플러그의 산화가 일어나지 않도록 하는 것이 중요하다. Al₂O₃ 대신에 TiO_x, TaO_x를 사용할 수도 있다.

- <33> 이어서 도3h에 나타낸 바와 같이 SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$) 세정제로 1분~1시간 정도 세정을 실시한다. SC-1 세정제는 SiO_x , Al_2O_3 등은 식각하지 못하지만 TiN은 잘 제거하므로 TiN 표면의 크랙이 형성된 Al_2O_3 부분만 선택적으로 제거할 수 있다. 이와 같이 TiN 상부의 Al_2O_3 접착층 부위만을 선택적으로 제거하면 도3i된 바와 같은 구조가 형성된다. 상기한 SC-1 대신에 SPM(Sulfuric acid-Peroxide Mixture, $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$ 혼합액)을 세정제로 사용할 수 있다.
- <34> 다음에 도3i에 나타낸 바와 같이 커패시터 하부전극 적층구조중에서 산화방지막인 Ir층 (29)을 먼저 기판 전면에서 증착한 후, 도3j에 나타낸 바와 같이 Ir/ Al_2O_3 를 먼저 소정패턴으로 패터닝한다. 상기 Ir은 PVD, CVD, ALD등의 방법을 이용하여 100~2000Å 정도의 두께로 증착한다. Ir 대신에 RuTiN, CrTaN, CrTiN, RuTaN 등을 사용할 수도 있다.
- <35> 이어서 도3k에 나타낸 바와 같이 제3층간절연막으로 산화막(30)을 PVD, CVD, ALD, 스퍼온 방법등을 이용하여 3000~30000Å 두께로 증착하고 에치백 또는 CMP공정을 이용하여 Ir층 (29)의 표면을 노출시킨다. 이때, 상기 산화막(30)을 적당한 두께만큼 CMP하여 평탄화시키고 이후는 에치백공정을 이용하여 Ir 표면을 노출시킴으로써 Ir 표면을 스크래치 등의 손상으로부터 보호할 수도 있다. Ir 표면을 노출시킨 후, 박막의 평탄화, 치밀화 및 수분 제거를 목적으로 열처리를 수행할 수도 있다. 이때, 열처리온도는 400~800℃, 열처리시간은 1초~2시간, 열처리 분위기는 N_2 , O_2 , Ar, He, Ne, Kr, O_3 등을 사용한다.
- <36> 상기 층간절연막(30)은 열안정성 및 산소확산 방지특성을 강화시키기 위하여 산소 확산 방지특성이 우수한 Al_2O_3 , Si_3N_4 , SiON 등을 먼저 증착하고 그위에 PSG, BPSG, USG, TEOS산화막 등을 적당한 두께로 증착하는 복층 구조로 형성할 수도 있고 단일층으로 형성할 수도 있다.

<37> 다음에 도31에 나타낸 바와 같이 표면이 노출된 Ir층을 포함한 기판 전면에서 커패시터 하부전극 형성을 IrOx(31)/Pt(32)과 BLT등의 강유전체막(33)을 차례로 형성한다. 여기서, IrOx/Pt는 PVD, CVD, ALD법등을 이용하여 증착하며, IrOx는 5~500Å, Pt는 50~2000Å 두께로 증착한다. 강유전체의 증착은 MOD 및 졸-겔(sol-gel) 용액을 이용한 스핀온(spin-on)법, 스퍼터링 등의 PVD, CVD, ALD법 등을 다양하여 적용할 수 있다. BLT 박막(33) 증착후에는 유기물을 제거하기 위하여 150℃와 250℃ 등에서 1차 베이킹을 실시한다. 그 다음, 475℃/O₂/60초의 조건으로 1차 RTP 열공정을 수행하여 유기물 불순물을 충분히 제거한 후, 600℃/O₂/120초의 조건으로 2차 RTP 열공정을 추가로 실시한다. 이 공정에서 BLT 박막(33)의 핵 생성이 유도된다. 이어서 확산로(diffusion furnace)를 이용하여 650℃/60분/O₂의 조건으로 강유전체 열처리를 수행한다. 이 공정에서는 BLT 박막의 결정화가 극대화된다. 여기서, 2차 RTP공정 및 강유전체 열처리공정을 하부전극 Pt가 BLT 하부에 형성되어 있는 상태에서 수행할 수 있는 것이 본 발명의 가장 큰 특징이다. 상기 강유전체막의 결정화 열처리는 후속공정인 상부전극 증착 전 또는 후에 수행할 수 있다.

<38> 상기 강유전체막은 BLT 이외에 SBT, SBTN, PZT 등으로 형성할 수도 있다. 강유전체막의 두께는 50~2000Å 정도로 형성하고, 열처리는 400~800℃에서 진행한다. 열처리 분위기에는 상기한 O₂ 이외에도 N₂, Ar, O₃, He, Ne, Kr 등을 사용할 수 있다. 열처리 시간은 10분~5시간으로 하고, 열처리장비는 확산로 이외에 RTP 등을 이용할 수 있다. 또는 이 두가지 형태의 열처리방법을 혼합하여 여러 번 수행할 수도 있다.

<39> 이어서 도3m에 나타낸 바와 같이 제4층간절연막(34)을 적당한 두께로 증착하고 에치백 또는 CMP를 진행하여 BLT 강유전체막(33)의 표면을 노출시킨다. 이 공정에서 제4층간절연막(34)은 비교적 얇게 증착한 후 에치백하여 BLT 커패시터 측면에만 스페이서 형태로 남길 수도

있다. 상기 제4층간절연막을 CMP공정을 이용하여 적당한 두께만큼 연마하여 평탄화시키고 이후는 에치백공정을 이용하여 BLT 표면을 노출시킴으로써 BLT 표면을 스크래치 등의 손상으로부터 보호할 수도 있다.

<40> 제4층간절연막(34)은 HDP, BPSG, PSG, MTO, HTO, TEOS산화막 등으로 형성할 수 있으며, 증착두께는 50~30000Å 정도로 하고, 증착방법은 일반적인 PVD, CVD, ALD, 스퍼온법등을 이용할 수 있다. 또한, 제4층간절연막은 열안정성 및 산소 확산 방지 특성을 강화시킬 목적으로 두 층으로 나누어 형성할 수 있는데, 이 경우, 산소 확산 방지 특성이 우수한 Al₂O₃, Si₃N₄, SiON등을 증착하고 그위에 HDP, BPSG, PSG, MTO, HTO, TEOS산화막을 증착한다. BLT 강유전체막의 표면이 노출된 후에는 박막의 치밀화 및 수분 제거를 목적으로 제4층간절연막을 열처리할 수 있다. 이때, 열처리 온도는 400~800℃, 열처리 시간은 1초~2시간으로 하고, 열처리 분위기는 N₂, O₂, Ar, He, Ne, Kr, O₃등을 이용할 수 있다.

<41> 다음에 도3n에 나타낸 바와 같이 기판 전면에서 커패시터 상부전극 형성을 위하여 IrO_x(35)와 Pt(36)를 PVD, CVD 또는 ALD에 의해 차례로 증착한 후, 소정의 상부전극패턴으로 패터닝한다. 이때, IrO_x는 5~500Å, Pt는 50~2000Å 정도의 두께로 증착한다. Pt/IrO_x 이외에 IrO_x, Ir/IrO_x, Ru/RuO_x, RuO_x 등을 이용할 수도 있다.

<42> 도4는 상부전극 형성을 완료한 후의 구조를 평면도로 나타낸 것이다. 상부전극을 셀 플레이트 라인으로 패터닝하여 셀 플레이트 라인 끝단에만 금속배선을 위한 콘택을 형성한 것이다.

<43> 이후의 공정은 일반적인 FeRAM 소자의 제조공정을 적용하면 제작이 용이하고 재현성이 우수한 고밀도 FeRAM 소자를 제작할 수 있다.

- <44> 본 발명의 다른 실시예로서, 상부전극 및 하부전극을 Pt/IrO_x 대신에 Pt/Al₂O₃ 또는 Pt/Si₃N₄의 적층구조로 형성할 수도 있다. 이와 같이 절연층을 Pt 하부에 사용하는 경우에는 그 두께를 매우 얇게 하여(5~100Å) 후속 열공정에서 국부적인 균일이 발생하여 전기적 연결이 가능하게 하는 것이 중요하다.
- <45> 본 발명은 또 다른 실시예로서, 하부전극 Pt를 증착한 후에 패터닝하지 않고 곧바로 그 위에 BLT 등의 강유전체를 증착할 수 있다. 이때, 강유전체의 증착두께는 10~2000Å 정도로 하고, 증착방법으로는 일반적인 스퍼온, PVD, CVD, ALD방법을 이용한다. 이와 같이 강유전체를 증착한 후, 상부전극 증착 전 또는 증착 후에 강유전체 열처리를 수행한다. 강유전체막의 열처리후에는 일반적인 사진식각공정을 이용하여 강유전체/Pt/IrO_x 적층구조를 1비트 단위로 패터닝한다.
- <46> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <47> 본 발명에 의하면, 고온 산화분위기에서의 열처리가 필수적인 FeRAM 제작시 열안정성이 뛰어나고 전기적 특성이 우수한 고밀도 FeRAM소자의 제작이 가능하다. 또한, 커패시터의 전기적 특성의 균일도가 매우 뛰어나기 때문에 소자의 수율 향상 및 원가 절감 측면에서도 크게 기여할 수 있다.

【특허청구범위】

【청구항 1】

소정 영역에 TiN/W로 이루어진 스토리지노드 콘택 플러그가 형성된 기판 전면에 접착층을 충분히 얇게 증착하는 단계;

열처리공정을 실시하여 상기 TiN/W 플러그 상부의 접착층 부위에만 크랙을 유발시키는 단계;

세정공정을 실시하여 상기 크랙이 형성된 접착층 부위만을 선택적으로 제거하는 단계;

기판 전면에 산화방지막을 형성하는 단계;

상기 산화방지막 및 접착층을 소정패턴으로 패터닝하는 단계;

기판 전면에 제1층간절연막을 형성하고 에치백 또는 CMP공정을 실시하여 상기 산화방지막의 표면을 노출시키는 단계;

상기 표면이 노출된 산화방지막을 포함한 기판 전면에 커패시터 하부전극 형성용 물질과 강유전체를 차례로 증착하는 단계;

상기 하부전극 형성용 물질층과 강유전체막을 소정의 하부전극패턴으로 패터닝하는 단계;

기판 전면에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막을 에치백 또는 CMP하여 상기 강유전체막의 표면을 노출시키는 단계; 및

기판 전면에 커패시터 상부전극 형성용 물질을 증착하고 소정의 상부전극패턴으로 패터닝하는 단계를 포함하여 이루어지는 강유전체 메모리소자 제조방법.

【청구항 2】

제1항에 있어서,

상기 접착층은 Al_2O_3 , TiO_x 또는 TaO_x 를 증착하여 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 3】

제1항에 있어서,

상기 접착층은 ALD, CVD 또는 PVD법으로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 4】

제1항에 있어서,

상기 접착층은 5~100 Å 정도로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 5】

제1항에 있어서,

상기 접착층에 크랙을 유발시키기 위한 열처리공정은 비산화 분위기에서 RTP 공정을 이용하여 400~1000℃ 정도의 온도에서 1초~10분 정도 행하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 6】

제1항에 있어서,

상기 세정공정은 SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$) 세정제로 1분~1시간 정도 실시하거나 SPM(Sulfuric acid-Peroxide Mixture, $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$ 혼합액)을 이용하여 행하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 7】

제1항에 있어서,

상기 산화방지막은 100~2000 Å 정도의 두께로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 8】

제7항에 있어서,

상기 산화방지막은 Ir, RuTiN, CrTaN, CrTiN, RuTaN 중의 어느 하나로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 9】

제1항에 있어서,

상기 제1층간절연막은 PVD, CVD, ALD 또는 스퍼온법을 이용하여 3000~30000 Å 두께로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 10】

제1항에 있어서,

상기 제1층간절연막을 적당한 두께만큼 CMP하여 평탄화시킨 다음, 에치백공정을 이용하여 산화방지막 표면을 노출시키는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 11】

제1항에 있어서,

상기 산화방지막의 표면을 노출시키는 단계후에 박막의 평탄화, 치밀화 및 수분 제거를 목적으로 열처리를 수행하는 단계가 더 포함되는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 12】

제11항에 있어서,

상기 열처리는 400~800℃에서 1초~2시간동안 N₂, O₂, Ar, He, Ne, Kr 또는 O₃분위기에서 실시하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 13】

제1항에 있어서,

상기 제1층간절연막은 열안정성 및 산소확산 방지특성을 강화시키기 위하여 산소 확산 방지특성이 우수한 Al_2O_3 , Si_3N_4 , $SiON$ 등을 먼저 증착하고 그위에 PSG, BPSG, USG, TEOS산화막 등을 적당한 두께로 증착하는 복층 구조로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 14】

제1항에 있어서,

상기 커패시터 하부전극 형성용 물질로 IrO_x/Pt 적층구조를 사용하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 15】

제14항에 있어서,

상기 IrO_x 는 5~500Å, Pr는 50~2000Å 두께로 증착하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 16】

제1항에 있어서,

상기 강유전체는 MOD 및 졸-겔(sol-gel) 용액을 이용한 스핀온(spin-on)법, 스퍼터링 등의 PVD, CVD, ALD법중의 어느 하나를 이용하여 증착하는 것을 특징으로 하는 강유전체 메모리 소자 제조방법.

【청구항 17】

제1항에 있어서,

상기 강유전체막은 BLT, SBT, SBTN 또는 PZT로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 18】

제1항에 있어서,

상기 강유전체막의 두께는 50~2000Å 정도로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 19】

제1항에 있어서,

상기 강유전체막을 증착하는 단계후에 열처리하는 단계가 더 포함되는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 20】

제19항에 있어서,

상기 열처리는 400~800℃, O₂, N₂, Ar, O₃, He, Ne 또는 Kr분위기에서 10분~5시간동안 실시하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 21】

제19항에 있어서,

상기 열처리시 열처리장비는 확산로 또는 RTP를 이용하거나 이 두가지 형태의 열처리방법을 혼합하여 여러 번 수행하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 22】

제1항에 있어서,

상기 강유전체막의 열처리는 상기 상부전극 증착 전 또는 증착 후에 수행하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 23】

제1항에 있어서,

상기 제2층간절연막은 비교적 얇게 증착하고 에치백하여 커패시터 측면에만 스페이서 형태로 남기는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 24】

제1항에 있어서,

상기 제2층간절연막을 CMP공정을 이용하여 적당한 두께만큼 연마하여 평탄화시킨 다음 에치백공정을 이용하여 상기 강유전체막 표면을 노출시키는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 25】

제1항에 있어서,

상기 제2층간절연막은 HDP, BPSG, PSG, MTO, HTO 또는 TEOS산화막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 26】

제1항에 있어서,

상기 제2층간절연막은 50~30000 Å 정도의 두께로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 27】

제1항에 있어서,

상기 제2층간절연막은 열안정성 및 산소 확산 방지 특성을 강화시킬 목적으로 2층으로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 28】

제27항에 있어서,

상기 제2층간절연막은 산소 확산 방지 특성이 우수한 Al_2O_3 , Si_3N_4 , $SiON$ 등을 증착하고 그위에 HDP, BPSG, PSG, MTO, HTO, TEOS산화막을 증착하여 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 29】

제1항에 있어서,

상기 강유전체막의 표면을 노출시키는 단계 후에 박막의 치밀화 및 수분 제거를 목적으로 상기 제2층간절연막을 열처리하는 단계가 더 포함되는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 30】

제29항에 있어서,

상기 열처리시 온도는 $400\sim 800^{\circ}C$, 시간은 1초~2시간으로 하고, 열처리 분위기는 N_2 , O_2 , Ar, He, Ne, Kr 또는 O_3 을 이용하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 31】

제1항에 있어서,

상기 커패시터 상부전극 형성용 물질로 Pt/IrO_x 적층구조를 이용하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 32】

제31항에 있어서,

상기 IrO_x는 5~500Å, Pt는 50~2000Å 정도의 두께로 증착하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 33】

제1항에 있어서,

상기 커패시터 상부전극 형성용 물질로 IrO_x, Ir/IrO_x, Ru/RuO_x 또는 RuO_x를 사용하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 34】

제1항에 있어서,

상기 커패시터 상부전극 및 하부전극을 Pt/Al₂O₃ 또는 Pt/Si₃N₄의 적층구조로 형성하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【청구항 35】

제34항에 있어서,

상기 Al₂O₃ 또는 Si₃N₄는 매우 얇게 증착하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

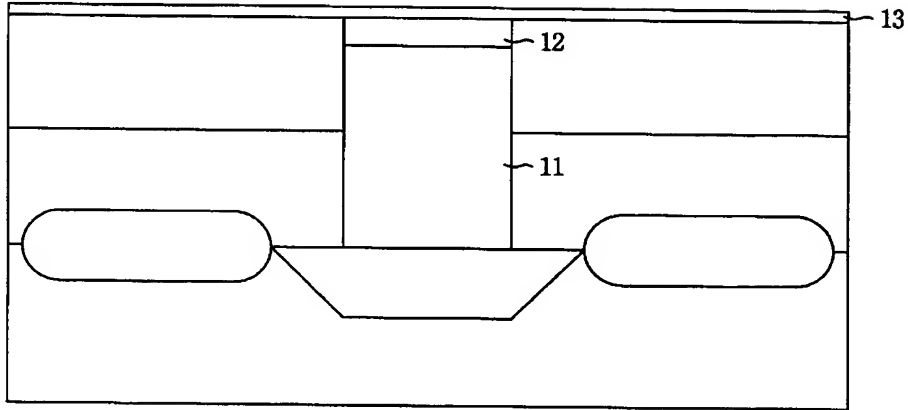
【청구항 36】

제35항에 있어서,

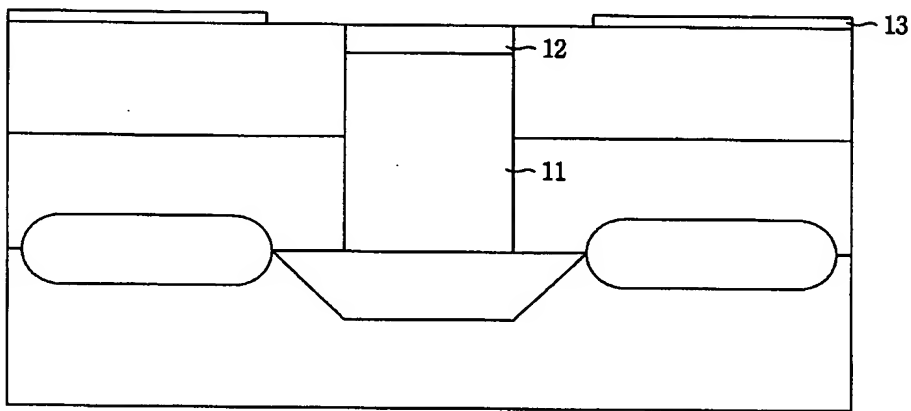
상기 Al₂O₃ 또는 Si₃N₄는 5~100Å 정도의 두께로 증착하는 것을 특징으로 하는 강유전체 메모리소자 제조방법.

【도면】

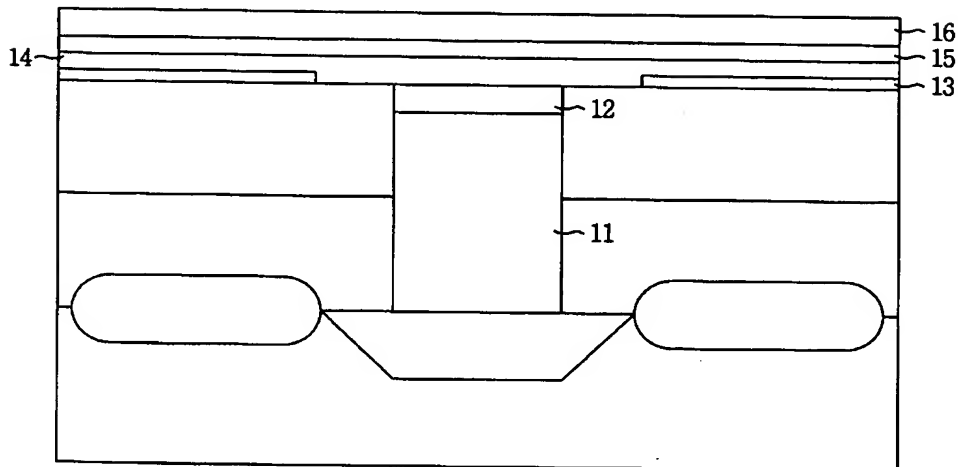
【도 1a】



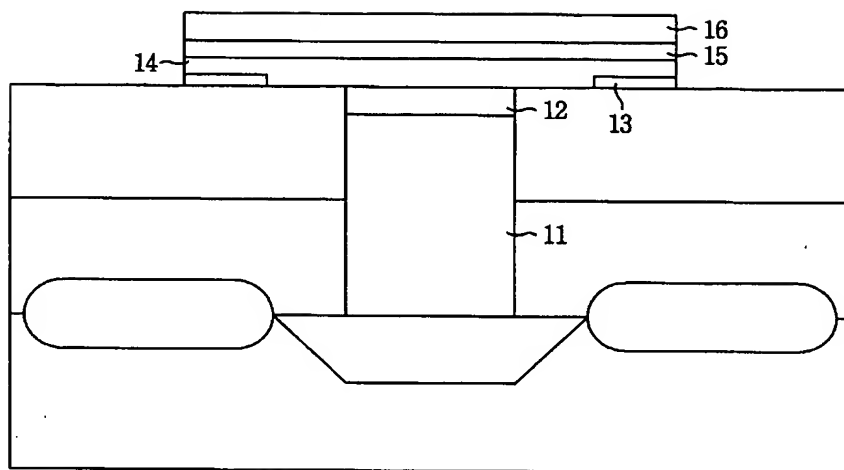
【도 1b】



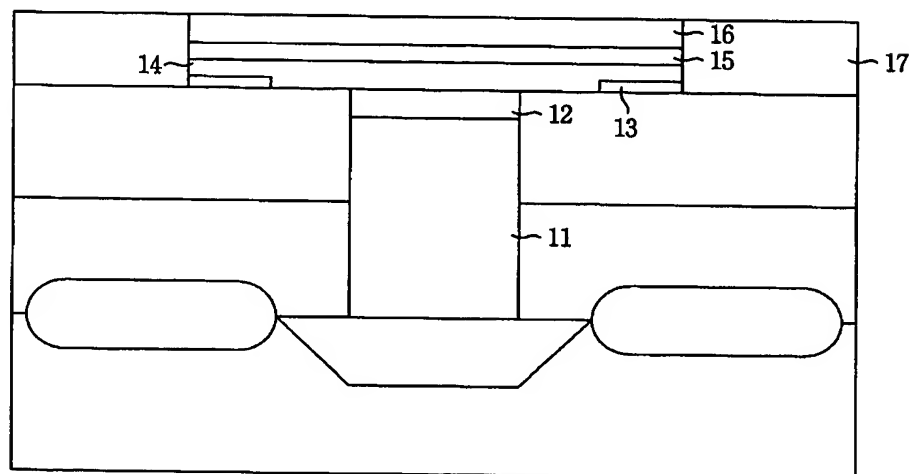
【도 1c】



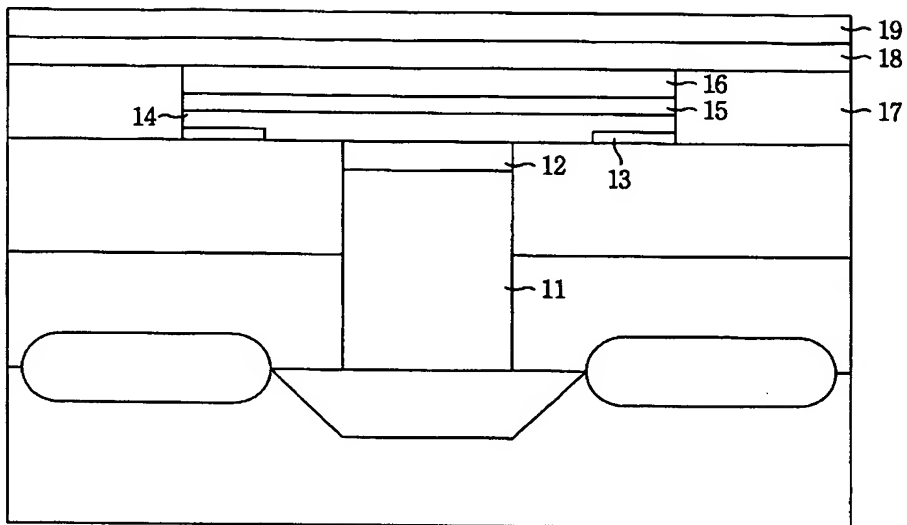
【도 1d】



【도 1e】



【도 1f】



【도 1g】

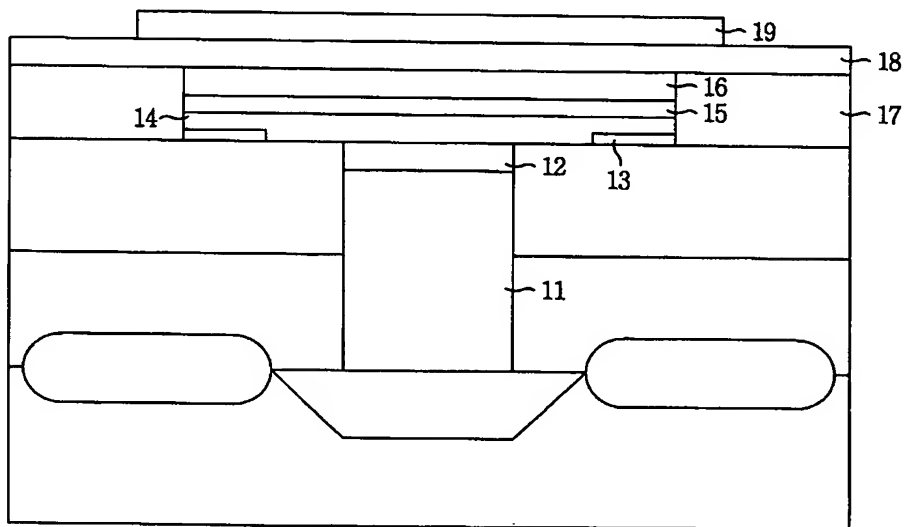


Figure 1 consists of two side-by-side bar plots showing the effect of array tightness on capacitance variation. The y-axis for both plots is Polarization (uC/Cm2), ranging from 0 to 30. The x-axis for both plots is Voltage (V), ranging from 0.1V to 0.3V. Each bar represents a different voltage step, with the mean value and standard deviation (SD) printed above it.

Cap. Size variation @array_tight

Voltage (V)	Polarization (uC/Cm2) [Mean ± SD]
0.1V	10.5 ± 0.52
0.2V	14.5 ± 0.64
0.3V	15.5 ± 0.66
0.4V	16.5 ± 0.74
0.5V	15.5 ± 0.74
0.6V	16.5 ± 0.84
0.7V	18.5 ± 1.04
0.8V	17.5 ± 2.0 ± 2.0

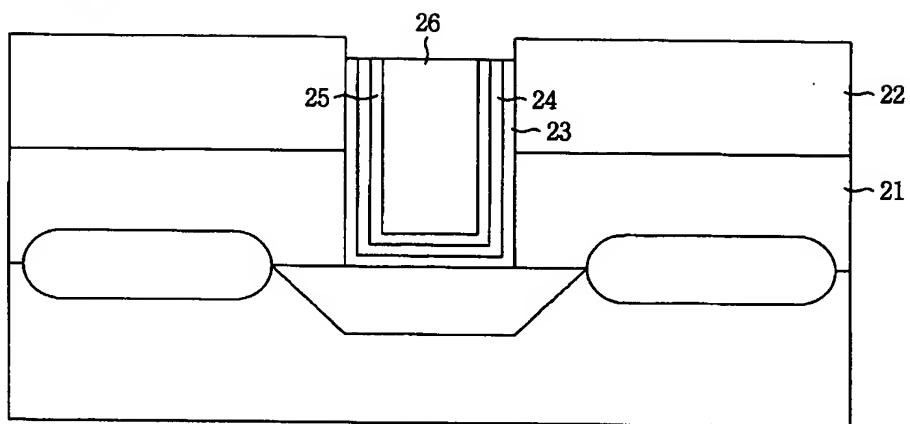
Cap. Size variation @array_loose

Voltage (V)	Polarization (uC/Cm2) [Mean ± SD]
0.1V	10.5 ± 0.52
0.2V	14.5 ± 0.64
0.3V	14.5 ± 0.66
0.4V	15.5 ± 0.74
0.5V	14.5 ± 0.74
0.6V	16.5 ± 0.84
0.7V	17.5 ± 1.04
0.8V	16.5 ± 2.0 ± 2.0

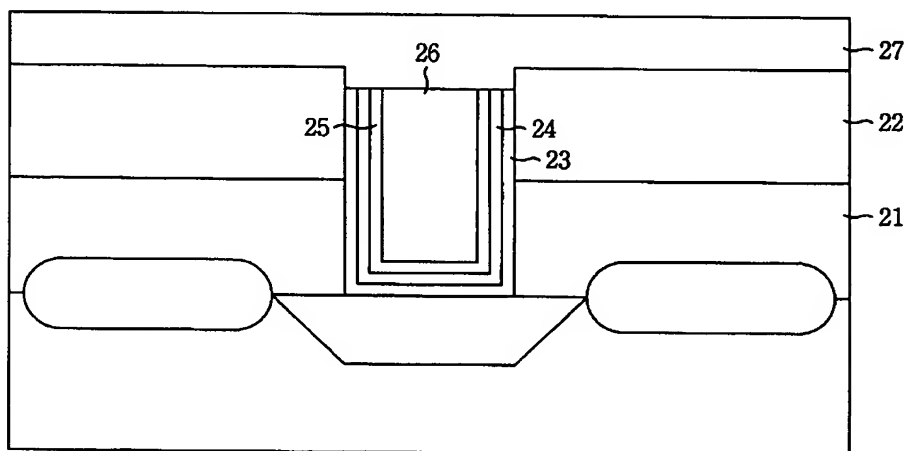
This cross-sectional view shows a semiconductor device with a central trench. The device includes a substrate (21) with a central trench (22) and side contacts (23) on either side. A top layer (24) is present on the outer surfaces. The side contacts (23) are connected to the substrate (21) through a series of steps.

This cross-sectional view shows a substrate with a central trench. The trench is filled with a material, and its top surface is covered by a layer. On either side of the trench, there are rounded rectangular structures. The top surface of the substrate is labeled 21. The trench is labeled 22. The side walls of the trench are labeled 23. The top surface of the trench is labeled 24. The rounded rectangular structures are labeled 25 and 26.

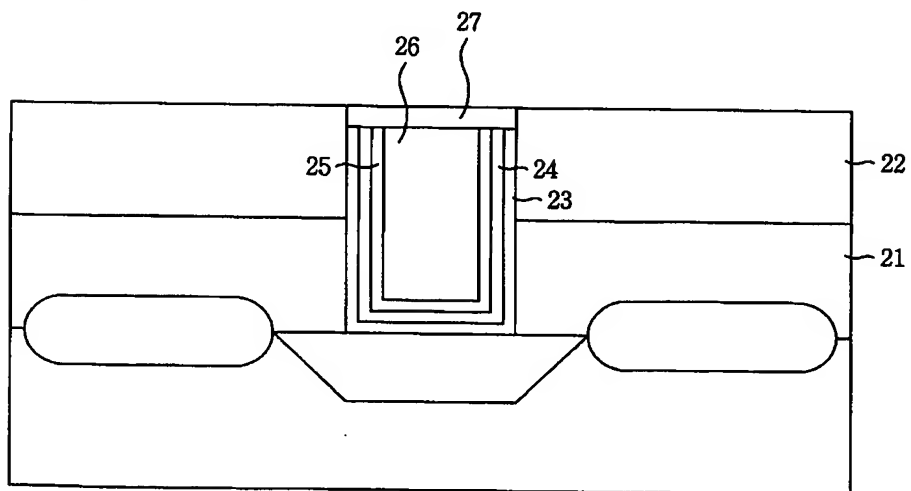
【도 3c】



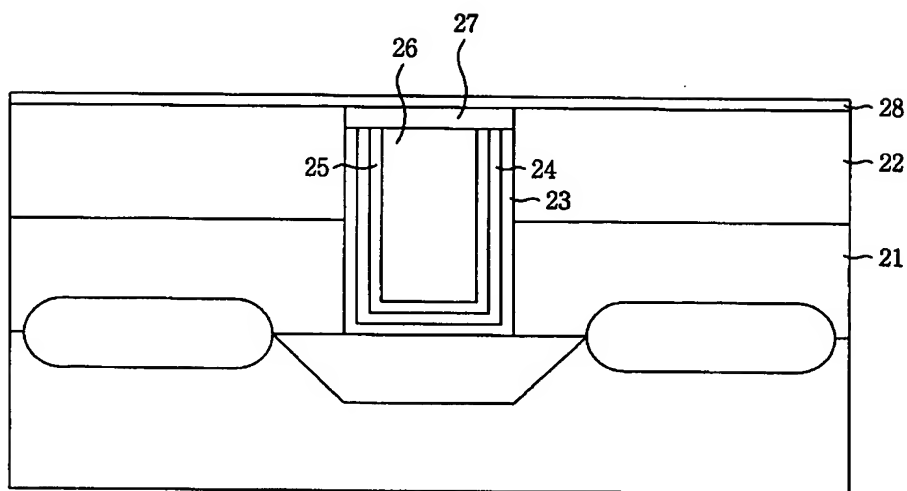
【도 3d】



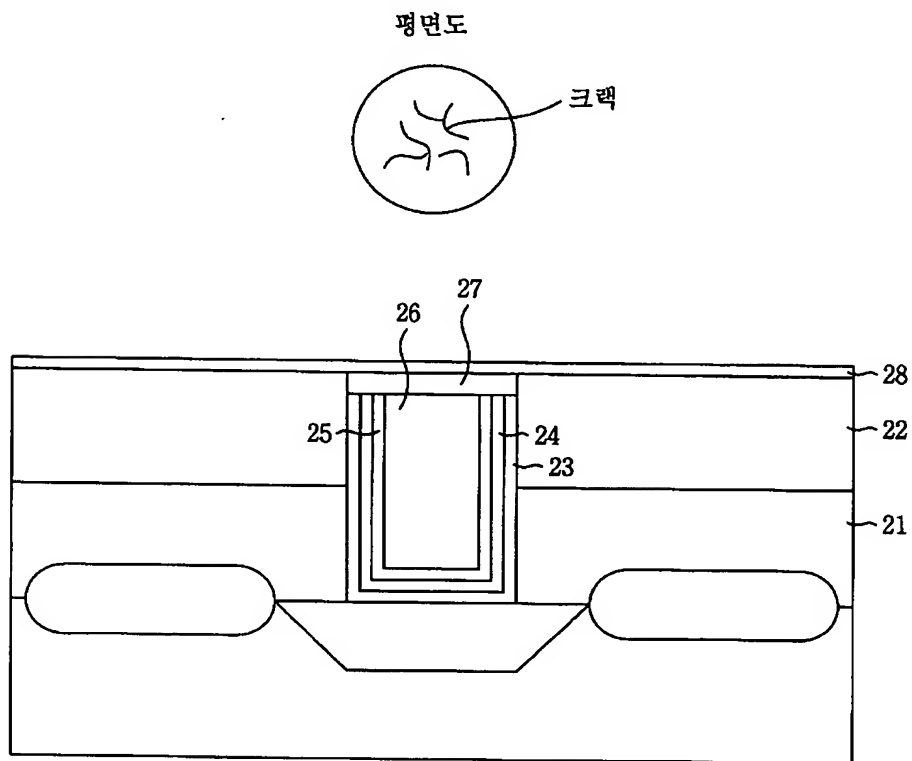
【도 3e】



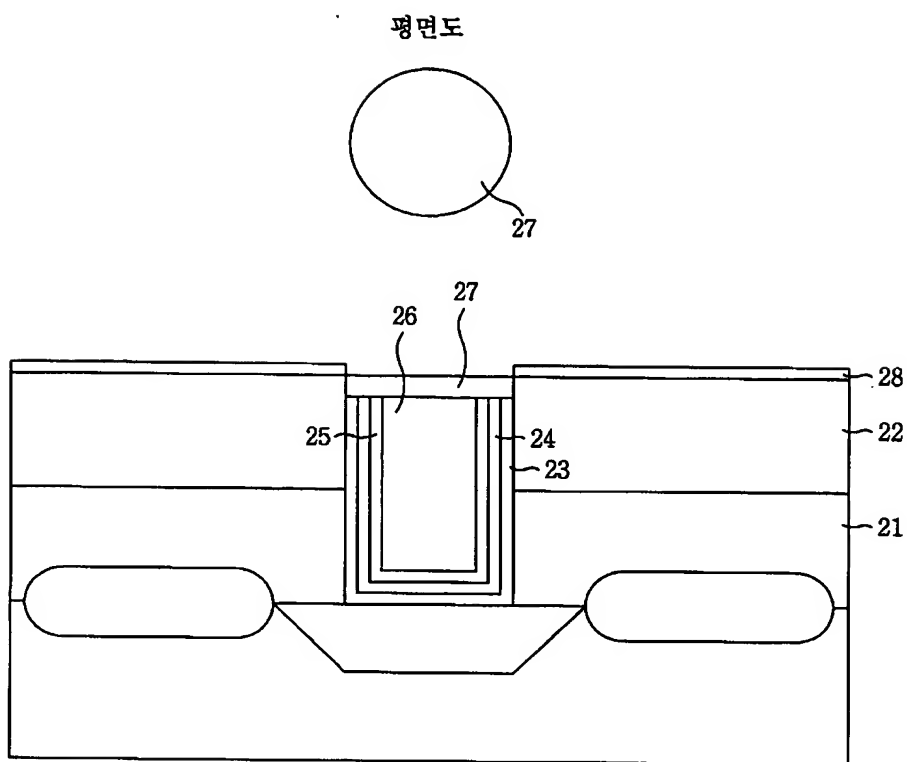
【도 3f】



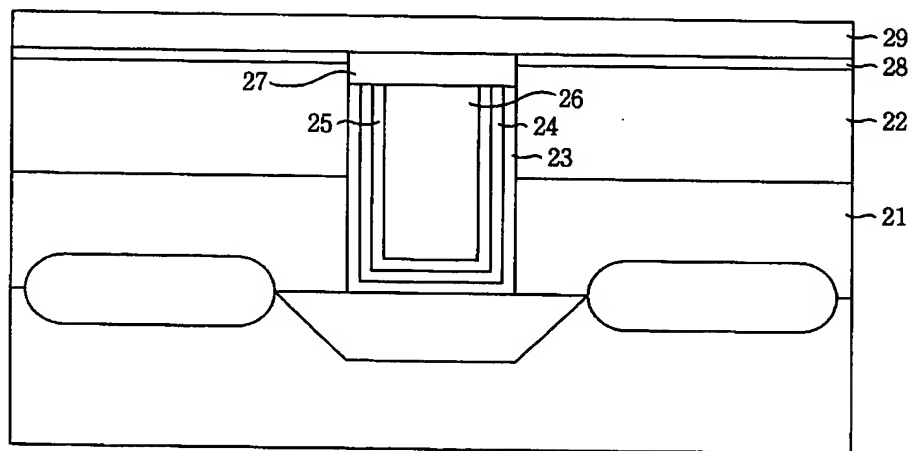
【도 3g】



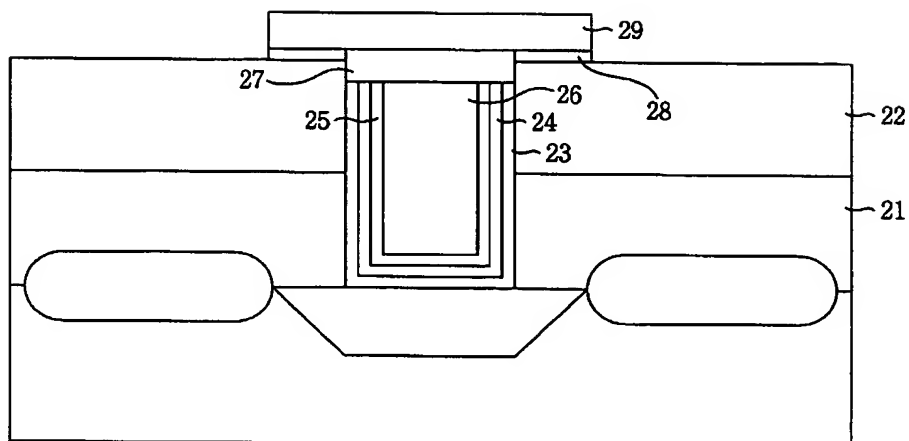
【도 3h】



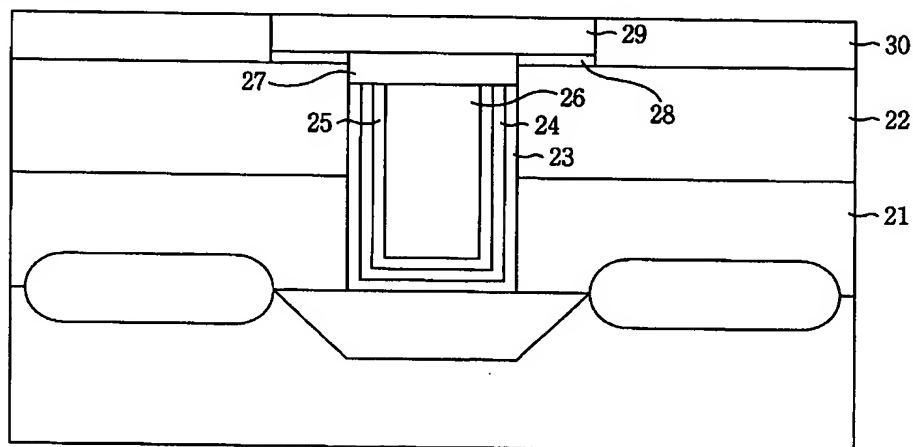
【도 3i】



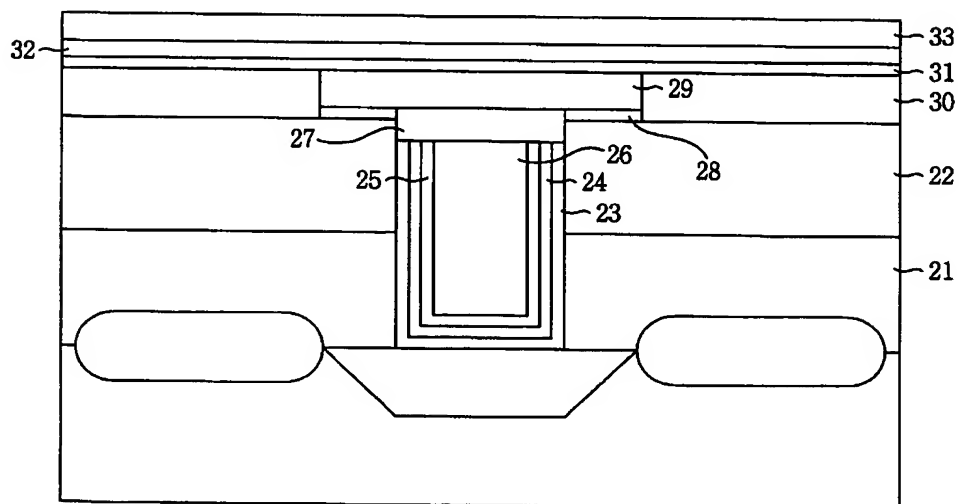
【도 3j】



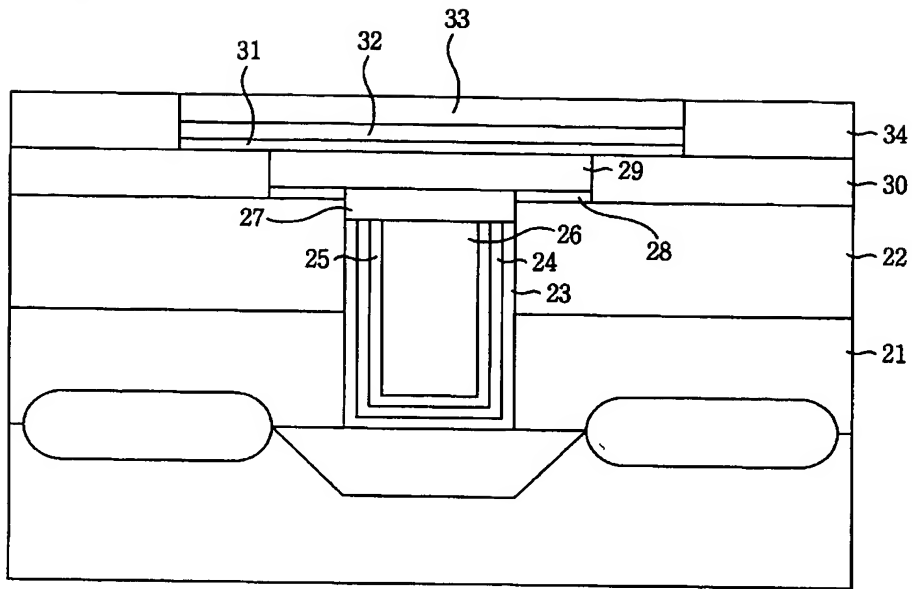
【도 3k】



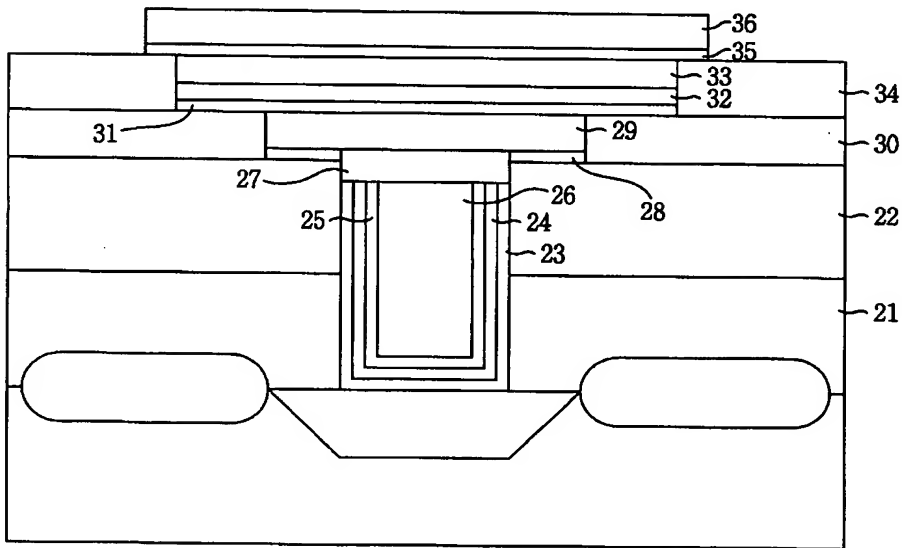
【도 3l】



【도 3m】



【도 3n】



【도 4】

